



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11133167 A**(43) Date of publication of application: **21 . 05 . 99**

(51) Int. Cl.

G04F 10/00(21) Application number: **09294718**(22) Date of filing: **28 . 10 . 97**(71) Applicant: **RHYTHM WATCH CO LTD**(72) Inventor: **MAESAKI TADASHI
HIRATSUKA MASAKAZU**(54) **MEASURING METHOD FOR MICRO TIME**

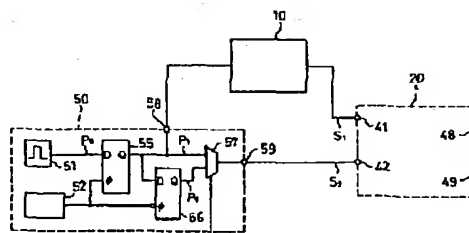
(57) Abstract:

PROBLEM TO BE SOLVED: To measure the action delay time of delay elements and the micro time of signals by inputting pulse signals to a first signal input terminal and a second signal input terminal, obtaining the time difference between both input pulse signals, deviating one pulse signal by the prescribed micro time, and obtaining the number of delay elements forming the same delay time as the time difference.

SOLUTION: When a first measurement pulse outputted from a first output terminal 58 of a pulse generating means 50 and a second measurement pulse outputted from a second output terminal 59 are outputted at the same timing, the first measurement pulse of a first reference signal S1 inputted to a first signal input terminal 41 via a measurement object circuit 10 is delayed by the action delay time of the circuit 10 against the second measurement pulse of a second reference signal S2 inputted to a second signal input terminal 42. The time difference is measured by a delay measuring circuit 20. When a selector 57 is switched and a second reference clock pulse P2 is selected to delay the second measurement pulse by the half-clock time against the first measurement pulse, the second

reference signal S2 is delayed. The delay time is obtained by the circuit 20 based on these delays.

COPYRIGHT: (C)1999,JPO



文献①(参考)

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平11-133167

(43)公開日 平成11年(1999)5月21日

(51)Int.Cl.

G04F 10/00

識別記号

F I

G04F 10/00

Z

審査請求 未請求 請求項の数5 OL (全14頁)

(21)出願番号 特願平9-294718

(22)出願日 平成9年(1997)10月28日

(71)出願人 000115773

リズム時計工業株式会社

東京都墨田区錦糸1丁目2番1号

(72)発明者 前崎 忠志

埼玉県北葛飾郡庄和町大字大倉496 リズ
ム時計工業株式会社庄和工場内

(72)発明者 平塚 正和

埼玉県北葛飾郡庄和町大字大倉496 リズ
ム時計工業株式会社庄和工場内

(74)代理人 弁理士 黒田 博道 (外2名)

(54)【発明の名称】微小時間の測定方法

(57)【要約】

【課題】 電子回路又は電子部品や回路素子の動作遅延時間、又、信号線の信号伝達時間などの微小時間を正確に測定する。

【解決手段】 直列とされた多数個の遅延素子の最終段は信号出力端子に接続されると共に遅延素子の何れかが第1信号入力端子に接続可能とされ、且つ、各遅延素子の出力信号に応答して第2信号入力端子に入力される信号を各々ラッチする多数個のデータ記憶手段を備えた遅延計測回路を用いて2つの信号の時間差の測定や遅延時間の設定を行うに際し、前記第1信号入力端子及び第2信号入力端子にパルス信号を入力して両入力パルス信号の時間差を求めた後、一方のパルス信号を所定の微小時間だけずらして再度入力し、ずらした所定の微小時間分の遅延素子の数を求めることにより1個当たりの遅延素子の遅延時間を求める微小時間の測定方法である。

【特許請求の範囲】

【請求項 1】 多数個の遅延素子が直列に接続され、直列とされた遅延素子の最終段は信号出力端子に接続されると共に遅延素子の何れかが第 1 信号入力端子に接続可能とされ、且つ、各遅延素子の出力信号にตอบสนองして第 2 信号入力端子に入力される信号を各々ラッチする多数個のデータ記憶手段を備えた記憶回路を有する遅延計測回路を用いて 2 つの信号の時間差の測定や遅延時間の設定を行うに際し、前記第 1 信号入力端子及び第 2 信号入力端子にパルス信号を入力して両入力パルス信号の時間差を求めた後、一方のパルス信号を所定の微小時間だけずらして再度入力し、ずらした所定の微小時間分の遅延素子の数を求めることにより 1 個当たりの遅延素子の遅延時間を求めることを特徴とする微小時間の測定方法。

【請求項 2】 第 1 信号入力端子に接続される多数個の直列接続された遅延素子と、該直列接続された各遅延素子からの信号にตอบสนองして第 2 信号入力端子に入力される信号をラッチする記憶回路とからなる遅延計測回路を用いて 2 つの信号の時間差の測定を行うに際し、第 1 測定用パルスと第 1 測定用パルスを所定の微小時間だけずらせた第 2 測定用パルスを出力するパルス発生手段からの第 1 測定用パルスを、前記第 1 及び第 2 信号入力端子に入力したときの前記記憶回路の内容と、前記第 1 及び第 2 測定用パルスを各々前記第 1 及び第 2 信号入力端子の一方と他方とに入力して得られる前記記憶回路の内容と、により、1 個当たりの遅延素子の遅延時間を求めることを特徴とする微小時間の測定方法。

【請求項 3】 多数個の遅延素子が直列に接続された遅延回路が第 1 信号入力端子に接続され、遅延回路とした各遅延素子の各出力信号にตอบสนองして第 2 信号入力端子に入力される信号を各々ラッチする多数個のデータ記憶手段を備えた記憶回路を有する遅延計測回路を用い、第 1 信号入力端子及び第 2 信号入力端子の何れかに測定対象回路を介したパルス信号を入力することにより測定対象回路の動作遅延時間を測定するに際し、タイミングの一致した第 1 測定用パルスと第 2 測定用パルスをパルス発生手段により形成し、第 1 測定用パルス及び第 2 測定用パルスの何れか一方を第 1 信号入力端子に、他方を第 2 信号入力端子に入力して両入力パルス信号の入力時間差に一致する遅延時間を形成する遅延素子数を第 1 遅延素子数として求め、且つ、測定用パルスの何れか一方を所定の微小時間だけずらした第 1 測定用パルスと第 2 測定用パルスを形成して第 1 信号入力端子及び第 2 信号入力端子に入力し、両入力パルス信号の入力時間差に一致する遅延時間を形成する遅延素子数を第 2 遅延素子数として求め、第 1 遅延素子数及び第 2 遅延素子数とずらした所定の微小時間とにより 1 個当たりの遅延素子の遅延時間を求め、求めた遅延素子の遅延時間と第 1 遅延素子数とにより測定対象回路の動作遅延時間を求めることを特徴とする微小時間の測定方法。

【請求項 4】 多数個の遅延素子が直列に接続された遅延回路が第 1 信号入力端子に接続され、遅延回路とした各遅延素子の各出力信号にตอบสนองして第 2 信号入力端子に入力される信号を各々ラッチする多数個のデータ記憶手段を備えた記憶回路を有する遅延計測回路を用いて第 1 信号入力端子と第 2 信号入力端子とに入力されるパルス信号の微小時間差を測定するに際し、タイミングの一致した第 1 測定用パルスと第 2 測定用パルスをパルス発生手段により形成し、第 1 の測定対象回路に対し、第 1 測定用パルスを第 1 の測定対象回路を介さず第 1 信号入力端子又は第 2 信号入力端子の何れか一方に入力し、第 2 測定用パルスを第 1 の測定対象回路を介して第 1 信号入力端子又は第 2 信号入力端子の何れか他方に入力して両入力パルス信号の入力時間差に一致する遅延時間を形成する遅延素子数を第 1 遅延素子数として求め、又、測定用パルスの何れか一方を所定の微小時間だけずらした第 1 測定用パルスと第 2 測定用パルスを形成し、この第 1 測定用パルスと第 2 測定用パルスを第 1 信号入力端子及び第 2 信号入力端子へ同様に入力し、両入力パルス信号の入力時間差に一致する遅延時間を形成する遅延素子数を第 2 遅延素子数として求め、且つ、第 1 遅延素子数及び第 2 遅延素子数とずらした所定の微小時間とにより 1 個当たりの遅延素子の遅延時間を求め、更に、タイミングの一致した第 1 測定用パルス及び第 2 測定用パルスの一方を第 2 の測定対象回路を介して第 1 信号入力端子又は第 2 信号入力端子の何れか一方に、第 1 測定用パルスと第 2 測定用パルスとの他方を直接に第 1 信号入力端子又は第 2 信号入力端子の何れか他方に入力し、両入力パルス信号の入力時間差に一致する遅延時間を形成する遅延素子数を第 3 遅延素子数として求め、求めた 1 個当たりの遅延素子の遅延時間と第 1 遅延素子数及び第 3 遅延素子数とにより信号伝播時間差を求めることを特徴とする微小時間の測定方法。

【請求項 5】 2 つの測定用パルス信号の内の一方のパルス信号を所定の微小時間だけずらせるに際し、数メガヘルツ乃至数十メガヘルツの基準クロックにより、基準クロックの半パルス時間又は 1 パルス時間だけずらせた第 1 測定用パルス又は第 2 測定用パルスを形成することを特徴とする請求項 1 乃至請求項 4 の何れかに記載した微小時間の測定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子回路の信号伝播時間や電子回路の僅かな動作遅延時間などの微小時間を計測する方法に関するものである。

【0002】

【従来の技術】 今日、電子回路で信号処理や信号の伝達を行わせる際、回路素子の応答速度が考慮され、信号の伝播時間を計測する必要が生じてきている。この電子回路の信号伝播時間又は遅延時間を計測するに際しては、

図 1 0 に示すように、計測対象となる電子回路又は電子部品や回路素子 1 0 (以下測定対象回路という) の出力端子をインバータ 1 5 を介して当該測定対象回路 1 0 の入力端子に接続した閉回路を形成し、この閉回路の発振周波数を測定して測定対象回路 1 0 の動作遅延時間を計測することが行われていた。

【0 0 0 3】即ち、外部入力端子 1 3 とインバータ 1 5 の出力端子とをセレクト 1 7 を介して測定対象回路 1 0 の入力端子に接続し、測定対象回路 1 0 の出力端子を前記インバータ 1 5 に接続して閉回路とし、このインバータ 1 5 の入力端子又は出力端子を周波数カウンタ 1 9 に接続するものである。そして、外部入力端子 1 3 からインバータ 1 5 を介して所定の入力電圧を測定対象回路 1 0 に入力し、測定対象回路 1 0 から所定の出力電圧が出力され、インバータ 1 5 から 0 電圧又は一電圧が出力される状態でセレクト 1 7 における端子の接続を切り換えるものである。

【0 0 0 4】このように、外部入力端子 1 3 から入力電圧を加えておいてセレクト 1 7 を切り換えると、インバータ 1 5 の出力である 0 電圧又は一電圧が測定対象回路 1 0 に入力されることとなる。このため、測定対象回路 1 0 からの出力電圧が 0 電圧又は一電圧となり、この結果インバータ 1 5 は所定の + 電圧を出力することになる。そして、インバータ 1 5 の出力電圧である + 電圧が測定対象回路 1 0 に入力されて測定対象回路 1 0 が + 電圧を出力し、インバータ 1 5 は 0 電圧又は一電圧を出力するため、インバータ 1 5 の出力電圧として所定の電圧値を設定しておけば、この閉回路は発振を行うことになる。

【0 0 0 5】そして、この閉回路の発振周波数 f を周波数カウンタ 1 9 で計測することにより、測定対象回路 1 0 による応答時間 (遅延時間) T を、

$$T = 1 / 2 \times f$$

として求めていた。

【0 0 0 6】

【発明の前提技術】又、本件出願人は、ゲート回路の多数個を直列に接続し、入力された信号に微小遅延時間を設定することを可能とすると共に、信号相互間の微小な時間差を測定することもできる遅延計測回路を提案している (特願平 8 - 2 8 7 7 2 1 号)。

【0 0 0 7】この遅延計測回路は、図 1 1 に示すように、セレクト 2 4 とゲート回路 2 5 とを接続した遅延素子 2 3 の数十乃至数百個を直列とし、この多数個の遅延素子 2 3 と各遅延素子 2 3 のセレクト 2 4 を制御するコントローラ 2 7 とにより遅延設定部を形成し、デコーダ 3 7 やシフトレジスタ 3 5、及び、D - フリップフロップ 3 3 により測定部を形成しているものである。

【0 0 0 8】尚、この測定部を形成する D - フリップフロップ 3 3 は、遅延設定部の遅延素子 2 3 の数と同数の D - フリップフロップ 3 3 を形成しているものである。又、遅延設定部は、各遅延素子 2 3 におけるセレクト 2 4 の一方の入力端子を各々遅延計測回路 2 0 の第 1 信号入力端子 4 1 に

接続し、各セレクトの他の入力端子を他の遅延素子 2 3 におけるゲート回路 2 5 の出力端子に接続して全ての遅延素子 2 3 を直列としている。

【0 0 0 9】尚、初段の遅延素子 2 3 におけるセレクト 2 4 の一方は第 1 信号入力端子 4 1 に、他方の入力端子は一電源に接続して接地しておき、最終段の遅延素子 2 3 におけるゲート回路 2 5 の出力端子を遅延計測回路 2 0 の信号出力端子 4 8 に接続しているものである。更に、測定部は、遅延素子 2 3 の個数 (n 個) と同数の n 個の D - フリップフロップ 3 3 を設け、各遅延素子 2 3 の出力端子を各々 D - フリップフロップ 3 3 のクロック入力端子に接続し、各 D - フリップフロップ 3 3 の D 入力端子を遅延計測回路 2 0 の第 2 信号入力端子 4 2 に接続するものである。

【0 0 1 0】そして、この遅延計測回路 2 0 は、制御信号入力端子 4 5 に入力する制御信号により、コントローラ 2 7 を介して各遅延素子 2 3 におけるセレクト 2 4 を各々制御するものである。従って、先頭から k 番目の遅延素子 2 3 におけるセレクト 2 4 のみを第 1 信号入力端子 4 1 に接続すれば、第 1 信号入力端子 4 1 に入力された信号は、 $n - (k - 1)$ 個の遅延素子 2 3 を介して信号出力端子 4 8 から出力することができるものである。

【0 0 1 1】このように、制御信号により先頭から何番目の遅延素子 2 3 のセレクト 2 4 を第 1 信号入力端子 4 1 に接続するかにより、第 1 信号入力端子 4 1 から入力された信号が信号出力端子 4 8 に出力されるまでに通過する遅延素子 2 3 の数を決定することができ、信号出力端子 4 8 に第 1 信号入力端子 4 1 から入力される信号が出力されるまでの遅延時間を調整して設定することができるものである。

【0 0 1 2】又、この遅延素子 2 3 は、ゲート回路 2 5 であるトランジスタの応答速度を各遅延素子 2 3 の遅延時間 t とするものとしている。このため、各遅延素子 2 3 の遅延時間 t を 1 ナノ秒乃至数ナノ秒の微小時間とし、ナノ秒単位で信号の遅延時間を設定することができるものである。更に、先頭の遅延素子 2 3 のセレクト 2 4 を制御することにより、先頭の遅延素子 2 3 の接続を第 1 信号入力端子 4 1 として全ての遅延素子 2 3 を直列としておけば、各遅延素子 2 3 の遅延時間 t だけ順次遅れた n 個の信号 $C1 \sim Cn$ を形成することができる。

【0 0 1 3】そして、この各遅延素子 2 3 の出力端子を各 D - フリップフロップ 3 3 のクロック入力端子に接続している故、各遅延素子 2 3 の遅延時間 t だけずれた n 個のクロック信号 $C1 \sim Cn$ を形成し、第 2 信号入力端子 4 2 に入力される信号の L レベル又は H レベルの状態を n 個の D - フリップフロップ 3 3 に各々記録し、最大記録時間を数百ナノ秒又は数マイクロ秒として第 1 信号入力端子 4 1 に入力される信号と第 2 信号入力端子 4 2 に入力される信号との時間差を 1 ナノ秒乃至数ナノ秒毎に D - フリップフロップ 3 3 にラッチし、記憶することができる。

【0 0 1 4】更に、 n 個の各 D - フリップフロップ 3 3 の出力に基づいてデコーダ 3 7 により先頭からの H レベル又

はLレベルの数をmビットのデジタル値に変換し、又、シフトレジスタ35に記録した値によりLレベルからHレベルに変化又はHレベルからHレベルに変化するD-フリップフロップ33の先頭からの個数kと遅延素子23の遅延時間 t との積の値を示すデータ信号として形成するものである。

【0015】従って、第1信号入力端子41から入力された第1入力信号と第2信号入力端子42から入力された第2入力信号との入力時間差を示すデータ信号をデータ出力端子49から出力することができる。尚、この遅延計測回路20は、集積回路により形成し、遅延素子23とする多数個の各セレクト24及び各ゲート回路25の特性を近似させ、又、第1信号入力端子41から各遅延素子23への接続線及び第2信号入力端子42から各D-フリップフロップ33への接続線はクロックラインを用い、第1信号入力端子41や第2信号入力端子42に入力される信号が各素子に到達するまでの時間差が極力発生しないようにしているものである。

【0016】

【発明が解決しようとする課題】前述のように、インバータを用いて閉回路を形成し、発振を生じさせて測定対象回路の動作遅延時間を測定する方法は、測定対象回路の遅延時間が短くなると、インバータの遅延時間が含まれるために誤差を生じ、又、閉回路の線間容量の影響を受けて発振周波数が測定対象回路の動作遅延時間でない要素によっても決定されることとなり、測定対象回路の正確な動作遅延時間を測定することができない欠点があった。

【0017】又、先に本件出願人が提案した遅延計測回路では、遅延素子とするゲート回路の応答速度が温度の影響などにより変化するため、各遅延素子の遅延時間 t が気温や動作温度により微妙に変化し、正確な計測値を得ることができない場合があった。本発明は、このような欠点を排除し、多数個の遅延素子を直列とした遅延設定部と遅延素子と同数のD-フリップフロップを用いた遅延計測回路により、測定対象とする電子回路又は電子部品や回路素子の動作遅延時間、又、信号線の信号伝達時間などの微小時間を容易に且つ正確に測定することができる方法を提供するものである。

【0018】

【課題を解決するための手段】本発明は、セレクトにゲート素子を接続した遅延素子の多数個を直列とし、この各セレクトの一つの入力端子を第1信号入力端子に接続して遅延素子の何れかを第1信号入力端子に接続可能とし、各セレクトの他の入力端子を前段の遅延素子の出力端子に接続すると共に、初段の遅延素子におけるセレクトの他の入力端子は開放し又は電源に接続し、各セレクトの接続を制御するコントローラを備え、各遅延素子の出力端子を各々データ記憶手段であるD-フリップフロップのクロック端子に接続し、各D-フリップフロップ

のD入力端子を第2信号入力端子に接続した遅延計測回路を用いて2つの信号の時間差の測定や遅延時間の設定を行うに際し、第1信号入力端子及び第2信号入力端子に各々パルス信号を入力して両パルス信号の時間差に一致する遅延時間を形成する遅延素子の数を求めると共に、一方のパルス信号を所定の時間だけずらせて再度信号入力端子から入力して再度入力された両パルス信号の時間差に一致する遅延時間を形成する遅延素子の数を求め、2回の測定における遅延素子の数の差と一方のパルス信号をずらした時間とにより一遅延素子の遅延時間を求めるものである。

【0019】このように、測定用パルスを所定時間だけずらせて測定を再度行えば、温度などの使用状態により変化する遅延素子の微小遅延時間 t を正確に測定又は確認することができ、この遅延計測回路による正確な時間差の測定や遅延時間の設定を行うことができる。又、本発明は、第1信号入力端子に接続される多数個の直列接続された遅延素子と、該直列接続された各遅延素子からの信号にตอบสนองして第2信号入力端子に入力される信号をラッチする記憶回路とからなる遅延計測回路を用いて2つの信号の時間差の測定を行うに際し、第1測定用パルスと第1測定用パルスを所定の微小時間だけずらせた第2測定用パルスを出力するパルス発生手段からの第1測定用パルスを、前記第1及び第2信号入力端子に入力したときの前記記憶回路の内容と、前記第1及び第2測定用パルスを各々前記第1及び第2信号入力端子の一方と他方とに入力して得られる前記記憶回路の内容と、により、1個当たりの遅延素子の遅延時間を求めるものである。

【0020】このように、遅延計測回路の一方の入力端子に入力するパルス信号を所定時間だけずらせて測定を再度行えば、温度などの使用状態により変化する遅延素子の微小遅延時間 t を正確に測定又は確認することができ、この遅延計測回路による正確な時間差の測定を行うことができる。そして、本発明は、多数個の遅延素子を直列とした遅延回路を第1信号入力端子に接続し、第1信号入力端子に入力された信号を遅延回路を通して微小時間差を有する多数個のクロック信号を形成し、各クロック信号により第2信号入力端子に入力された信号をラッチする多数個のデータ記憶手段であるD-フリップフロップを備えた記憶回路を有する遅延計測回路を用い、前記クロック信号の内の第2基準信号の変化点と一致するクロック信号により第1信号入力端子に入力された第1基準信号と第2信号入力端子に入力された第2基準信号との時間差を計測するに際し、パルス発生手段により第1測定用パルスと第2測定用パルスとを形成し、第1測定用パルス及び第2測定用パルスの何れか一方を測定対象回路を介して第1基準信号又は第2基準信号の何れか一方とし、第1測定用パルス及び第2測定用パルスの何れか他方を直接に第1信号入力端子又は第2信号入力

端子に入力して第1基準信号又は第2基準信号とし、タイミングを一致させた第1測定用パルス及び第2測定用パルスをパルス発生器で形成して第1基準信号と第2基準信号との時間差に一致する遅延時間を形成する遅延素子の数を第1遅延素子数として求め、且つ、第1測定用パルスを第1基準信号又は第2基準信号の何れか一方とし、第1測定用パルスに対して所定の微小時間だけずれた第2測定用パルスを第1基準信号又は第2基準信号の何れか他方として再度第1基準信号と第2基準信号との時間差に一致する遅延時間を形成する遅延素子の数を第2遅延素子数として求め、ずらした所定の微小時間と第1遅延素子数及び第2遅延素子数とにより一遅延素子の遅延時間を求め、求めた一遅延素子の遅延時間と第1遅延素子数とにより測定対象回路の動作遅延時間を測定することとする。

【0021】このように、同一タイミングとする2つの測定用パルスの時間差に対応する遅延時間を形成する遅延素子の数により測定対象回路の動作遅延時間を測定することとし、所定時間だけ一方の測定用パルスをずらせて再度測定対象回路の動作遅延時間に対応する遅延素子の数を測定すれば、測定用パルスをずらした時間に基づいて測定用の遅延素子の遅延時間を確認することができる。

【0022】そして、この確認した遅延素子の遅延時間に基づいて測定した測定対象回路の動作遅延時間を測定すれば、測定対象回路の正しい動作遅延時間を測定することができる。更に本発明は、多数個の遅延素子を直列とした遅延回路を第1信号入力端子に接続し、第1信号入力端子に入力された信号を遅延回路を通して微小時間差を有する多数個のクロック信号を形成し、各クロック信号により第2信号入力端子に入力された信号をラッチする多数個のデータ記憶手段であるD-フリップフロップを備えた記憶回路を有する遅延計測回路を用い、前記クロック信号の内の第2基準信号の変化点と一致するクロック信号により第1信号入力端子に入力された第1基準信号と第2信号入力端子に入力された第2基準信号との時間差を計測するに際し、第1の測定対象回路に対し、第1測定用パルスを第1の測定対象回路を介さずに第1基準信号又は第2基準信号の何れか一方とし、第1測定用パルスにタイミングの一致した第2測定用パルスを第1の測定対象回路を介して第1基準信号又は第2基準信号の何れか他方として第1基準信号と第2基準信号との時間差に一致する遅延時間を形成する遅延素子の数を第1遅延素子数として求め、又、第1測定用パルスと第2測定用パルスとを所定の微小時間だけずらしてこの第2測定用パルスを第1の測定対象回路を介することにより再度計測を行って第1基準信号と第2基準信号との時間差に一致する遅延時間を形成する遅延素子の数を第2遅延素子数として求め、且つ、ずらした所定の微小時間と第1遅延素子数及び第2遅延素子数とにより一遅延

素子の遅延時間を求め、更に、タイミングの一致した第1測定用パルスと第2測定用パルスとにより、同様に、第1測定用パルスと第2測定用パルスとの一方を第2の測定対象回路を介して第1基準信号又は第2基準信号の何れか一方に、第1測定用パルスと第2測定用パルスとの他方を直接に第1信号入力端子又は第2信号入力端子に入力して第1基準信号又は第2基準信号の何れか他方とし、同様に第1基準信号と第2基準信号との時間差に一致する遅延時間を形成する遅延素子の数を第3遅延素子数として求め、第1時間差及び第3時間差と前記求めた一遅延素子の遅延時間とにより第1の測定対象回路からの信号伝播時間と第2の測定対象回路からの信号伝播時間との伝播時間差を求めるものである。

【0023】このように、同一のタイミングとした2つの測定用パルスの一方だけを第1の測定対象回路を介して2つの基準信号とし、この2つの基準信号の時間差を求め、更に一方の測定用パルスを所定時間だけずらせて再度2つの基準信号として時間差を求めることにより、測定に用いる遅延素子の遅延時間を正確に知ることができる。

【0024】そして、正確な遅延時間の判明している遅延素子により第1の測定対象回路の遅延時間及び第2の測定対象回路の遅延時間を測定するから、配線経路を含む第1の測定対象回路の信号伝達時間及び第2の測定対象回路の信号伝達時間を正確に測定することができ、配線を信号が伝播する時間も測定できる。このため、2つの測定対象回路における配線を含む各信号伝達時間により、測定対象回路とした回路素子からの信号線を信号が伝播する時間差を知ることでもできる。

【0025】従って、異なる回路素子からの信号処理に際し、配線距離による信号のズレを修正することができる。尚、第1測定用パルスに対して第2測定用パルスを所定時間だけずらせるに際し、数メガヘルツ乃至数十メガヘルツの基準クロック信号により、基準クロック信号の半パルス時間又は1パルス時間だけずらした第1測定用パルス又は第2測定用パルスを形成する。

【0026】このように、メガヘルツ単位のクロック信号を用いて半パルス又は1パルスの時間だけずらすようにすると、数十ナノ秒程度の微小な時間のズレを有する測定用パルスの形成が容易となる。

【0027】

【発明の実施の形態】本発明に係る微小時間の測定は、図1に示す遅延計測回路20を使用するものである。この遅延計測回路20は、集積回路により特性の一致した多数個のセレクトタ24と特性の一致した多数個のゲート回路25とを形成し、この各二入力型セレクトタ24における各一入力端子をクロックラインにより第1信号入力端子41に接続するものである。

【0028】又、各セレクトタ24の出力端子は各ゲート回路25の入力端子に接続して各セレクトタ24と各ゲート回路

25とを一組とする遅延素子23を形成し、この遅延素子23を直列とするようにゲート回路25の出力端子を他の遅延素子23におけるセレクト4の残る入力端子に接続して多数個の遅延素子23を直列とする遅延回路を形成するものである。

【0029】尚、先頭とする遅延素子23におけるセレクト4の入力端子は、一方を第1信号入力端子41に接続し、他方を一電源に接続して接地しておくものとし、最終段の遅延素子23とした遅延素子23におけるゲート回路25の出力端子は、集積回路として製造する遅延計測回路20の信号出力端子48に接続するものである。尤も、先頭とする初段の遅延素子23におけるセレクト4の他方の入力端子は、一電源に接続する場合のみでなく、+電源に接続する場合や開放状態としておく場合もあり、又、初段とした遅延素子23におけるセレクト4は省略してゲート回路25の入力端子を直接に第1信号入力端子41に接続しておくこともできる。

【0030】又、この遅延計測回路20には、各遅延素子23のセレクト4を制御するコントローラ27を設け、このコントローラ27は例えば10ビットの制御信号が制御信号入力端子45から入力されることにより、1000個の各セレクト4の入力端子の接続を各々個別に制御して何れかの遅延素子23を第1信号入力端子41に接続し、第1信号入力端子41から入力された信号を直列とした遅延素子23の所要個数を通過させて信号出力端子48から出力させることができるようにしている。

【0031】このように、セレクト4とゲート回路25とにより形成した遅延素子23は、ゲート回路25とするトランジスタの応答速度をもって各遅延素子23の遅延時間 t とする故、各遅延素子23での遅延時間 t を1ナノ秒乃至数ナノ秒の微小時間として設定することができる。又、集積回路として各遅延素子23の特性を均一化し、且つ、1000個などの極めて多数個の遅延素子23を直列とした遅延回路を有する遅延設定部21は、コントローラ27によりどの遅延素子23のセレクト4に第1信号入力端子41を選択して接続するかを決定することができ、第1信号入力端子41から入力された信号を信号出力端子48から出力させるまでに何個の遅延素子23を通過させるかを決定することができる。

【0032】従って、この遅延設定部21により、ナノ秒を単位とし、且つ、1000個程度の遅延素子23を直列とすることにより、第1信号入力端子41に入力される信号に最大遅延時間として数マイクロ秒程度の遅延を生じさせて信号出力端子48から出力することができる。尚、遅延素子23の数を適宜増加させて設定可能な最大遅延時間をより長くすることもできる。

【0033】更に、この遅延計測回路20は、遅延素子23の数と同数のD-フリップフロップ33をデータ記憶手段として設け、各遅延素子23の各出力端子を各々D-フリップフロップ33のクロック入力端子に接続し、データ記

憶手段である各D-フリップフロップ33のD入力端子をクロックラインを用いて第2信号入力端子42に接続するものである。

【0034】尚、クロックラインは、信号入力端子41,42から入力された信号がこのクロックラインに接続される各素子への信号伝播時間に時間差が生じないように配線位置及び配線形状が優先的に考慮される集積回路の信号伝達線である。そして、この遅延計測回路20では、データ記憶手段であるD-フリップフロップ33の各出力を各々記憶するシフトレジスタ35に接続してD-フリップフロップ33とシフトレジスタ35とによる記憶回路とし、シフトレジスタ35の内容に合わせたデータ信号を形成するデコーダ37を記憶回路と合わせて測定部31としている。

【0035】このシフトレジスタ35は、パラレルインパラレルアウトのものやパラレルインシリアルアウトのものを用いることができる。又、デコーダ37は、シフトレジスタ35から出力される各ビットのLレベルからHレベルへの変化点又はHレベルからLレベルへの変化点から先頭ビット又は末尾ビットまでのビット数を示す10ビットのデータ信号を形成するものである。

【0036】尚、データ信号のビット数は遅延素子23の数、即ちD-フリップフロップ33の数に合わせるものであり、10ビットに限るものではない。又、多数個のD-フリップフロップ33をもって記憶回路としてシフトレジスタ35を省略し、各D-フリップフロップ33の出力を直接デコーダ37に入力してデータ信号を形成させることもある。

【0037】更に、図1に示す遅延計測回路20には、作動信号端子46を設け、測定を行わないときは測定部31のD-フリップフロップ33を作動させないようにしている。そして、この遅延計測回路20により特定の回路又は素子を測定対象回路10としてこの測定対象回路10の動作遅延時間を求めるに際しては、図2に示すように、この遅延計測回路20と測定用パルスを出力するパルス発生手段50とを用いるものである。

【0038】このパルス発生手段50は、パルス発生器51と基準クロック発生手段52及び2個のD-フリップフロップ55,56とセレクト47とで構成し、図2に示すように、パルス発生器51を第1D-フリップフロップ55のD入力端子に接続し、第1D-フリップフロップ55のQ出力端子をセレクト47と第2D-フリップフロップ56のD入力端子及び第1出力端子58に接続し、基準クロック発生手段52を第1D-フリップフロップ55のクロック端子と第2D-フリップフロップ56のクロック端子とに接続すると共に、第2D-フリップフロップ56のQ出力端子を前記セレクト47に接続し、セレクト47の出力端子を第2出力端子59に接続するものである。

【0039】そしてこのパルス発生手段50は、第1D-フリップフロップ55に立ち上がりエッジトリガとするフ

リップフロップを用い、第2 D-フリップフロップ56に立ち下りエッジトリガとするフリップフロップを用い、第2 D-フリップフロップ56のQ出力を第1 D-フリップフロップ55のQ出力よりも基準クロック信号の半クロック時間遅らせるものである。

【0040】従って、基準クロック発生手段52により、例えば10メガヘルツにしてデューティ比が1対1の基準クロック信号φを形成し、パルス発生器51から短い所要幅のパルスP0を1つだけ発生させると、図3に示すように、基準クロック信号φにより所定幅Wとされるパルスが第1 D-フリップフロップ55から基準クロックパルスP1として出力され、この第1 D-フリップフロップ55の出力パルスである基準クロックパルスP1に対し、半パルス時間αである50ナノ秒だけ遅れた第2基準クロックパルスP2を第2 D-フリップフロップ56から出力させることができる。

【0041】即ち、このパルス発生手段50は、基準クロックパルスP1を第1出力端子58から第1測定用パルスとして出力し、且つ、セレクト57を介して基準クロックパルスP1又は第2基準クロックパルスP2を第2出力端子59から第2測定用パルスとして出力することができる。従って、第2出力端子59からの第2測定用パルスを、セレクト57の入力端子を切り換えることにより、第1出力端子58から出力する第1測定用パルスと同一タイミングのパルスとすることや第1出力端子58から出力する第1測定用パルスよりも基準クロック信号の半クロック時間遅らせたパルスとすることが容易にできるものである。

【0042】又、前述した遅延計測回路20により測定対象回路10の応答時間を測定するに際しては、遅延設定部21における遅延素子23の初段の遅延素子23におけるセレクト24を第1信号入力端子41に接続し、n個の遅延素子23を全て直列としておくものである。更に、図2に示したように、パルス発生手段50の第1出力端子58を測定対象回路10を介して遅延計測回路20の第1信号入力端子41に接続し、且つ、パルス発生手段50の第2出力端子59を遅延計測回路20の第2信号入力端子42に接続するものである。

【0043】従って、パルス発生手段50における第1出力端子58から出力される第1測定用パルスと第2出力端子59から出力される第2測定用パルスを同一タイミングとして出力させると、図4に示すように、パルス発生手段50の第2出力端子59から直接に第2信号入力端子42へ入力される第2基準信号S2としての第2測定用パルスに対して、測定対象回路10を介して第1信号入力端子41に入力される第1基準信号S1としての第1測定用パルスは、測定対象回路10における作動遅延時間だけ遅れることになる。

【0044】又、この第1信号入力端子41に入力された第1基準信号S1としての第1測定用パルスは、遅延計

測回路20における遅延設定部21の各遅延素子23で順次遅延したn個のクロック信号C1～Cnとして測定部31の各D-フリップフロップ33に入力されるものである。このため、第1基準信号S1と第2基準信号S2とにより、図4の(2)に示すように、D-フリップフロップ33の先頭から所定数であるx個のD-フリップフロップ33のQ出力はHレベルとされ、x+1個目以降のD-フリップフロップ33のQ出力はLレベルとなる。そして、この各Q出力がシフトレジスタ35に記録され、デコーダ37によりこのシフトレジスタ35の状態に基づいたデータ信号が形成され、第1基準信号S1により形成された各クロック信号C1～Cnと第2基準信号S2がHレベルからLレベルに変化する変化点とが一致するD-フリップフロップ33の先頭から又は末尾からの個数を示すデータ信号がデータ出力端子49から出力される。

【0045】更に、パルス発生手段50のセレクト57を切り換え、第2出力端子59から出力される第2測定用パルスとして第2基準クロックパルスP2を選択し、第1出力端子58から出力される第1測定用パルスに対して基準クロック信号の半クロック時間だけ第2測定用パルスを遅らせると、図5に示すように、第1基準信号と第2基準信号との時間差が小さく、又は図6に示すように第2基準信号が第1基準信号よりも遅れることになる。

【0046】又、この場合は、図5(2)又は図6(2)に示すように、遅延計測回路20の測定部31におけるn個のデータ記憶手段であるD-フリップフロップ33の内、y+1個目以降のD-フリップフロップ33のQ出力をLレベルとするデータがシフトレジスタ35に記録される。従って、このy-x個の遅延素子23による遅延時間がパルス発生手段50の基準クロック信号における半パルス時間αに相当し、例えば10メガヘルツの基準クロック信号であれば、半パルス時間αは50ナノ秒となり、遅延設定部21における遅延素子23の1個当たりの平均遅延時間tは、 $t = \alpha / (y - x)$ として、当該温度条件における各遅延素子23の遅延時間tを求めることができる。

【0047】そして、測定対象回路10の遅延時間Tは、測定用パルス幅Wと第1基準信号と第2基準信号との差に基づく遅延素子23の数xとにより、 $T = W - x \cdot t$ として求めることができる。このように、パルス発生手段50により所定幅Wの短時間としたパルスを単発的に形成して出力させ、このパルスを測定対象回路10を通過させ、測定対象回路10における動作遅延時間Tを測定すれば、線間容量などの影響を小さくして測定対象回路10の遅延時間を測定することができる。

【0048】又、基準クロック信号の半クロック時間だけずれた測定用パルスを形成して再度測定を行えば、メガヘルツ単位の基準クロック信号を用いることにより、数十ナノ秒乃至100ナノ秒程度の時間差のずれを容易に形成し、ナノ秒単位の遅延時間tが設定される各遅延

素子23の遅延時間 t を容易に測定確認することができる。

【0049】従って、温度変化により微妙ではあっても応答速度が変化するゲート回路25による遅延素子23を多段に接続した遅延設定部21を用い、多数のD-フリップフロップ33などによる測定部31と組み合わせて測定対象回路10の遅延時間を正確に測定することができる。尚、パルス発生手段50における基準クロック発生手段52は、適宜の分周回路とし、マイクロコンピュータのクロック信号を当該パルス発生手段50に入力して分周することにより、数メガヘルツ乃至数十メガヘルツにしてデューティ比が1対1の基準クロック信号を形成することもある。

【0050】又、パルス発生手段50に使用する第2 D-フリップフロップ56を第1 D-フリップフロップ55と同一特性のD-フリップフロップとし、第2測定用パルスを第1測定用パルスに対して遅らせる際、基準クロック信号の1パルス時間だけずらすこともある。更に、パルス発生手段50の第1出力端子58を第1信号入力端子41に接続し、第2出力端子59を測定対象回路10を介して第2信号入力端子42に接続する場合は、図7に示すように、先頭から x 個がLレベルにして、 $x+1$ 個目からHレベルのQ出力を得ることができ、第2測定用パルスを遅らせると、先頭から y 個をLレベルとするQ出力をシフトレジスタ35に記憶させることができる。

【0051】従って、同様に $t = \alpha / (y - x)$ として遅延素子23の平均遅延時間を正しく求め、 $T = t \cdot x$ として測定対象回路10の遅延時間を求めることもできる。又、遅延設定部21を形成する遅延素子23は、図1に示したように、セレクトア24とゲート回路25とを組み合わせただけのものに限ることなく、図8に示すように、ゲート回路25のみをもって遅延素子23とし、この遅延素子23としたゲート回路25の多数個を直列として遅延回路を形成することもある。

【0052】更に、図2に示したパルス発生手段50はセレクトア57を有し、第1測定用パルスと同一のタイミング及び所定の時間だけ遅らしたタイミングの第2測定用パルスを第2出力端子59から出力するものとしているも、第1 D-フリップフロップ55のQ出力端子を第1出力端子58に接続し、第2 D-フリップフロップ56のQ出力端子を第2出力端子59に接続し、セレクトア57を有しないパルス発生手段50として第2測定用パルスは第1測定用パルスに対して所定の時間だけ遅れたパルス信号を出力するパルス発生手段50とすることがある。この場合は、遅延計測回路20の第2信号入力端子42にセレクトアを介して第1測定用パルスと第2測定用パルスとを入力可能としておき、第1測定用パルスを測定対象回路10を介して第1信号入力端子41に入力すると共にこの第1測定用パルスを第2信号入力端子42にも入力した後、第1測定用パルスを測定対象回路10を介して第1信号入力端子41に入

力し、第2測定用パルスを第2信号入力端子42へセレクトアを介して直接に入力するものである。

【0053】そして、この遅延計測回路20は、ナノ秒単位の時間差を容易に測定することができる故、数十センチメートル又は1メートル程度の信号線を電気信号が伝播する時間の計測も容易且つ正確におこなうことができるものである。このため、図9に示すように、特性が同一の回路素子61,62を2個以上用いる回路構成の装置を使用する場合、パルス発生手段50の第1出力端子58を装置の配線に合わせて第1回路素子61と第2回路素子62とに接続し、第1回路素子61及び第2回路素子62の出力線を第1セレクトア65を介して遅延計測回路20の第1信号入力端子41に接続し、又、第1回路素子61の出力線とパルス発生手段50の第2出力端子59からの信号線とを第2セレクトア66を介して第2信号入力端子42に接続して各回路素子61,62からの信号伝播時間や信号伝播時間差を求めることができる。

【0054】この図9に示した結線状態において、第1セレクトア65で測定対象回路とする第1回路素子61の出力線を選択接続し、第2セレクトア66でパルス発生手段50の第2出力端子59からの信号線を選択接続し、第1出力端子58から出力される第1測定用パルスと第2出力端子59から出力される第2測定用パルスとを同一タイミングとすれば、パルス発生手段50から第1測定用パルスが第1回路素子61を介して遅延計測回路20に入力されるまでの時間を遅延素子23の個数により計測することができる。

【0055】そして、第2測定用パルスを基準クロック信号の半パルス時間又は1パルス時間である所定時間だけ遅らせることにより、各遅延素子23の遅延時間を先ず求め、第1回路素子61への信号線を電気信号が往復する時間と第1回路素子61自体の遅延時間との和を正確に求めることができる。従って、パルス発生手段50、第1セレクトア65及び第2セレクトア66や遅延計測回路20を近接させて配置し、予め第1回路素子61の作動遅延時間を計測しておけば、遅延計測回路20から離れた第1回路素子61に信号がパルス発生手段50から送られ、且つ、第1回路素子61から遅延計測回路20に信号が伝達される往復時間、ひいては測定対象回路とした第1回路素子61から出力される信号が遅延計測回路20に伝達されるまでの信号線を電気信号が伝播する時間を求めることができる。

【0056】更に、第1回路素子61からの信号伝播時間の測定に続けて第1セレクトア65による接続を新たな測定対象回路とする第2回路素子62からの信号線に切り換え、第2セレクトア66はパルス発生手段50の選択接続を持続させ、第1出力端子58からの第1測定用パルスと第2出力端子59からの第2測定用パルスとを同一のタイミングとして出力させると、パルス発生手段50から第1測定用パルスが第2回路素子62を介して遅延計測回路20に入力されるまでの時間を遅延素子23の個数により計測することができる。

【0057】そして、この場合には各遅延素子23の平均遅延時間 τ を既に正確に求めているため、第1回路素子61の場合と同様に、第2回路素子62への信号線の信号往復時間 τ は第2回路素子62から出力される信号が遅延計測回路20に伝達されるまでの信号線を電気信号が伝播する時間を求めることができる。又、第1回路素子61からの信号伝播時間と第2回路素子62からの信号伝播時間との伝播時間差を正確に求めることもできる。

【0058】尚、第1回路素子61からの信号伝播時間と第2回路素子62からの信号伝播時間との伝播時間差を求めるに際し、第1セレクト65で第1回路素子61との接続を選択し、第2セレクト66でパルス発生手段50との接続を選択して第1測定用パルスと第2測定用パルスとを同一タイミングでパルス発生手段50から出力させ、更に、第2測定用パルスの出力タイミングを所定時間ずらして第1測定用パルス及び第2測定用パルスを出力させた後、第1セレクト65で第2回路素子62との接続を選択し、第2セレクト66で第1回路素子61との接続を選択して第1測定用パルスをパルス発生手段50から出力させることもある。

【0059】このように、第1の測定対象回路とする第1回路素子61からの信号伝播時間と第2の測定対象回路とする第2回路素子62からの信号伝播時間との伝播時間差を求めれば、第1回路素子61及び第2回路素子62としてセンサを使用する場合、センサから測定回路までの信号伝達時間を算出する計算を行って数メートルの特定物質中を伝播する光や電気の伝播時間、即ち光の速度や信号の伝播速度を正確に算出することや、高速で移動する物体の速度を正確に測定算出することができる。

【0060】又、測定対象回路とした第1回路素子61や第2回路素子62からの信号伝播時間を正確に算出することができるため、監視カメラシステムのように、カメラヘッド部から遠方の信号処理部にカメラヘッド部からのCCD出力信号を伝達し、カメラヘッド部から離れた信号処理部でCCDの出力信号に正しく同期させて数十メガヘルツの高速クロック信号により信号処理を加える際、CCDの出力信号とクロック信号とのタイミングをナノ秒単位で調整一致させるように遅延回路を設定して組み込むことができる。

【0061】特に、図1に示したように、遅延設定部21により第1信号入力端子41に入力された信号に所定の遅延時間を設定して信号出力端子48から出力することのできる遅延計測回路20では、遅延素子23の温度変化などによる遅延時間の変動が生じる場合であっても、各遅延素子23の遅延時間を測定確認し、常に正しい所定の遅延時間を設定することができる。

【0062】

【発明の効果】請求項1に記載した発明は、直列とされた多数個の遅延素子の最終段は信号出力端子に接続されると共に遅延素子の何れかが第1信号入力端子に接続可

能とされ、且つ、各遅延素子の出力信号にตอบสนองして第2信号入力端子に入力される信号を各々ラッチする多数個のデータ記憶手段を備えた遅延計測回路を用いて2つの信号の時間差の測定や遅延時間の設定を行うに際し、前記第1信号入力端子及び第2信号入力端子にパルス信号を入力して両入力パルス信号の時間差を求めた後、一方のパルス信号を所定の微小時間だけずらして再度入力し、ずらした所定の微小時間分の遅延素子の数を求めることにより1個当たりの遅延素子の遅延時間を求める微小時間の測定方法である。

【0063】従って、一方のパルス信号をずらすことにより遅延素子の遅延時間を容易に測定確認することができ、正確な遅延時間の判明した遅延素子の個数によって正確な遅延時間の設定又は測定を行うことができる。又、請求項2に記載した発明は、第1信号入力端子に接続される多数個の直列接続された遅延素子と、該直列接続された各遅延素子からの信号にตอบสนองして第2信号入力端子に入力される信号をラッチする記憶回路とからなる遅延計測回路を用いて2つの信号の時間差の測定を行うに際し、第1測定用パルスとこの第1測定用パルスに所定の微小時間だけずらせた第2測定用パルスを出力するパルス発生手段からの第1測定用パルスを、前記第1及び第2信号入力端子に入力したときの前記記憶回路の内容と、前記第1及び第2測定用パルスを各々前記第1及び第2信号入力端子の一方と他方とに入力して得られる前記記憶回路の内容と、により、1個当たりの遅延素子の遅延時間を求める微小時間の測定方法である。

【0064】従って、一方のパルス信号をずらすことにより遅延素子の遅延時間を容易に測定確認することができ、正確な遅延時間の判明した遅延素子の個数によって正確な遅延時間の測定を行うことができる。そして、請求項3に記載した発明は、多数個の遅延素子が直列に接続された遅延回路が第1信号入力端子に接続され、各遅延素子の出力信号にตอบสนองして第2信号入力端子に入力される信号を各々ラッチする多数個のデータ記憶手段を備えた遅延計測回路を用い、第1及び第2信号入力端子の何れかに測定対象回路を介したパルス信号を入力することにより測定対象回路の動作遅延時間を測定するに際し、タイミングの一致した第1測定用パルスと第2測定用パルスとをパルス発生手段により形成し、第1及び第2測定用パルスの何れか一方を第1信号入力端子に、他方を第2信号入力端子に入力して両入力パルス信号の入力時間差を形成する第1遅延素子数を求め、且つ、測定用パルスの何れか一方を所定の微小時間だけずらした第1及び第2測定用パルスを形成して第1信号入力端子及び第2信号入力端子に入力し、両入力パルス信号の入力時間差を形成する第2遅延素子数を求め、第1及び第2遅延素子数とずらした所定の微小時間とにより1個当たりの遅延素子の遅延時間を求め、求めた遅延素子の遅延時間と第1遅延素子数とにより測定対象回路の動作遅延

時間を求める微小時間の測定方法である。

【0065】従って、第2測定用パルスを所定時間だけずらすことにより遅延素子の遅延時間を知ることができ、正確な遅延時間の判明した遅延素子の個数によって正確な遅延時間の測定を行うことができる。更に、請求項4に記載した発明は、多数個の遅延素子が直列に接続された遅延回路が第1信号入力端子に接続され、各遅延素子の出力信号に忠答して第2信号入力端子に入力される信号を各々ラッチする多数個のデータ記憶手段を備えた遅延計測回路を用いて第1及び第2信号入力端子に入力されるパルス信号の微小時間差を測定するに際し、タイミングの一致した第1測定用パルスと第2測定用パルスとをパルス発生手段により形成し、第1の測定対象回路に対し、第1測定用パルスを直接に第1又は第2信号入力端子の何れか一方に入力し、第2測定用パルスを第1の測定対象回路を介して第1又は第2信号入力端子の何れか他方に入力して両入力パルス信号の入力時間差を形成する第1遅延素子数を求め、又、測定用パルスの何れか一方を所定の微小時間だけずらした第1測定用パルスと第2測定用パルスとを形成し、この第1及び第2測定用パルスを第1及び第2信号入力端子へ同様に入力し、両入力パルス信号の入力時間差を形成する第2遅延素子数を求め、且つ、第1及び第2遅延素子数とずらした所定の微小時間とにより1個当たりの遅延素子の遅延時間を求め、更に、タイミングの一致した第1及び第2測定用パルスの一方を第2の測定対象回路を介して第1又は第2信号入力端子の何れか一方に、第1及び第2測定用パルスの他方を直接に第1又は第2信号入力端子の何れか他方に入力し、両入力パルス信号の入力時間差を形成する第3遅延素子数を求め、求めた1個当たりの遅延素子の遅延時間と第1及び第3遅延素子数とにより信号伝播時間差を求める微小時間の測定方法である。

【0066】従って、第2測定用パルスを第1測定用パルスと同一タイミングで、又、所定時間ずらして第1の測定対象回路の信号伝播時間を計測することにより、測定に用いる装置の遅延時間測定値を確認することができる。そして、この測定に用いる装置により、第1の測定対象回路の動作遅延時間を測定するから、信号線などの信号伝播時間も測定することができ、同様に、第2の測定対象回路に対する信号線などの信号伝播時間も測定することができる。

【0067】このため、複数の測定対象回路からの信号伝播時間差を正確に求めることができ、複数の測定対象回路からの信号処理に際する信号合成などを正確なタイミングで行うことができる。又、請求項4に記載した発明は、2つの測定用パルス信号の内一方のパルス信号を所定の微小時間だけずらせるに際し、数メガヘルツ乃至数十メガヘルツの基準クロックにより、基準クロックの半パルス時間又は1パルス時間だけずらせた第1測定用パルス又は第2測定用パルスを形成する請求項1乃至

請求項3の何れかに記載した微小時間の測定方法である。

【0068】従って、測定に使用する遅延素子の遅延時間をナノ秒単位で測定確認することができる。

【図面の簡単な説明】

【図1】本発明に係る方法に用いる遅延計測回路の一例を示すブロック図。

【図2】本発明に係る方法を実施する結線例を示す図。

【図3】本発明に係る方法に用いる遅延計測回路の一例を示すブロック図。

【図4】本発明に係る方法における計測データ例を示す図。

【図5】本発明に係る方法における計測データ例を示す図。

【図6】本発明に係る方法における計測データ例を示す図。

【図7】本発明に係る方法における計測データ例を示す図。

【図8】本発明に係る方法に用いる遅延計測回路の他の例を示すブロック図。

【図9】本発明に係る他の方法を実施する結線例を示す図。

【図10】従来の電子回路などの動作遅延時間を測定するための回路例を示す図。

【図11】本発明の前提となる遅延計測回路の例を示すブロック図。

【符号の説明】

10	測定対象回路		
13	外部入力端子	15	インバータ
17	セレクト	19	周波数カウンタ
20	遅延計測回路		
21	遅延設定部		
23	遅延素子	24	セレクト
25	ゲート回路		
27	コントローラ		
31	測定部		
33	D-フリップフロップ	35	シフトレジスタ
37	デコーダ		
41	第1信号入力端子	42	第2信号入力端子
45	制御信号入力端子	46	作動信号入力端子
48	信号出力端子	49	データ出力端子
50	パルス発生手段		
51	パルス発生器	52	基準クロック発生手段
55	第1D-フリップフロップ	56	第2D-フリップフロップ

リップフロップ

5 7 セレクタ

子

5 9 第 2 出力端子

5 8 第 1 出力端

6 1 第 1 回路素子

子

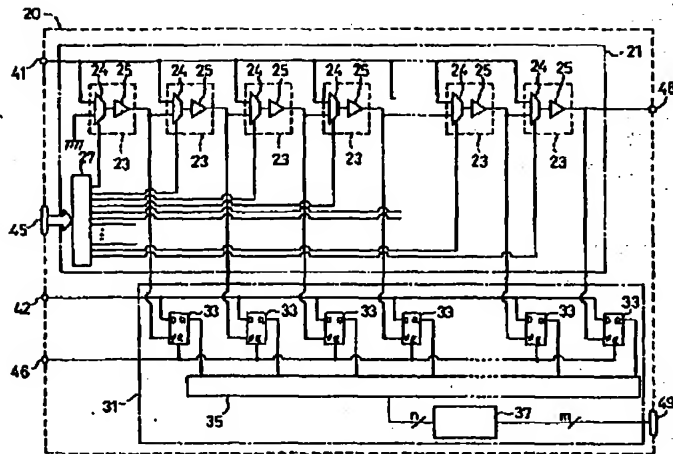
6 5 第 1 セレクタ

タ

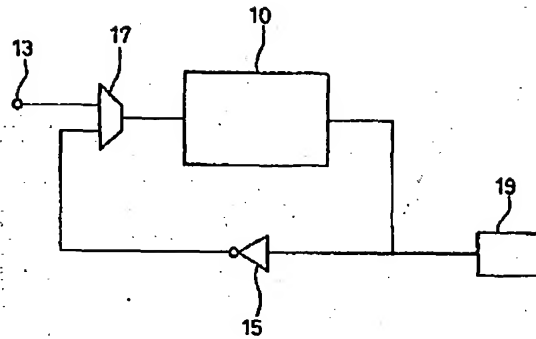
6 2 第 2 回路素

6 6 第 2 セレク

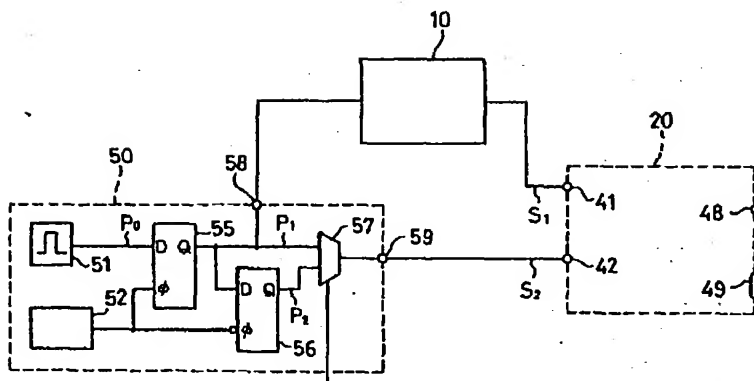
【図 1】



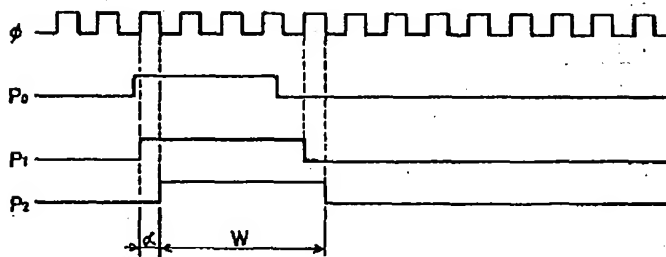
【図 10】



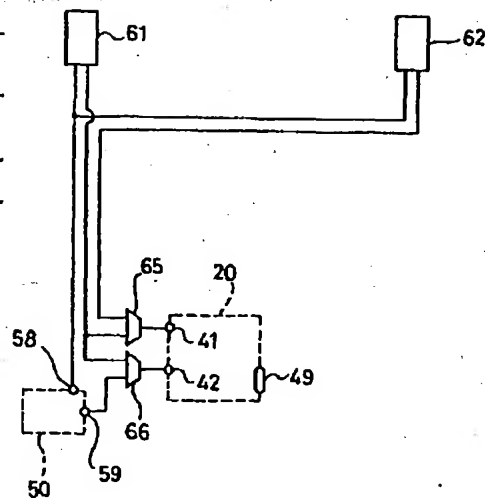
【図 2】



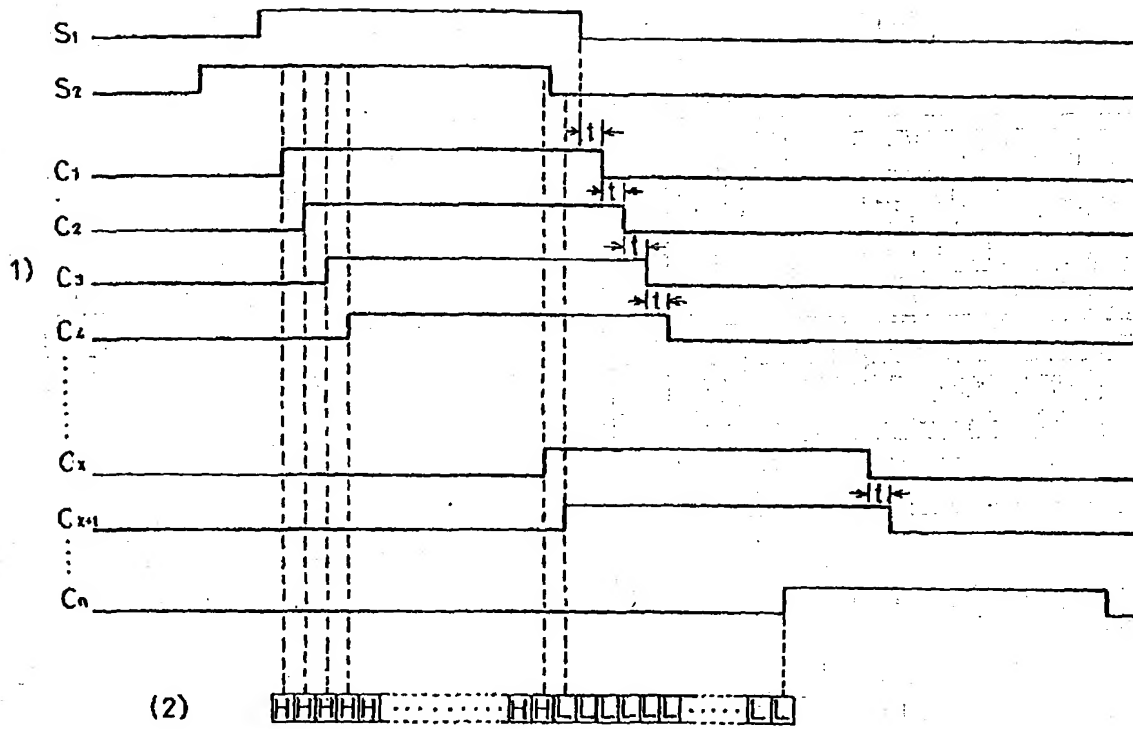
【図 3】



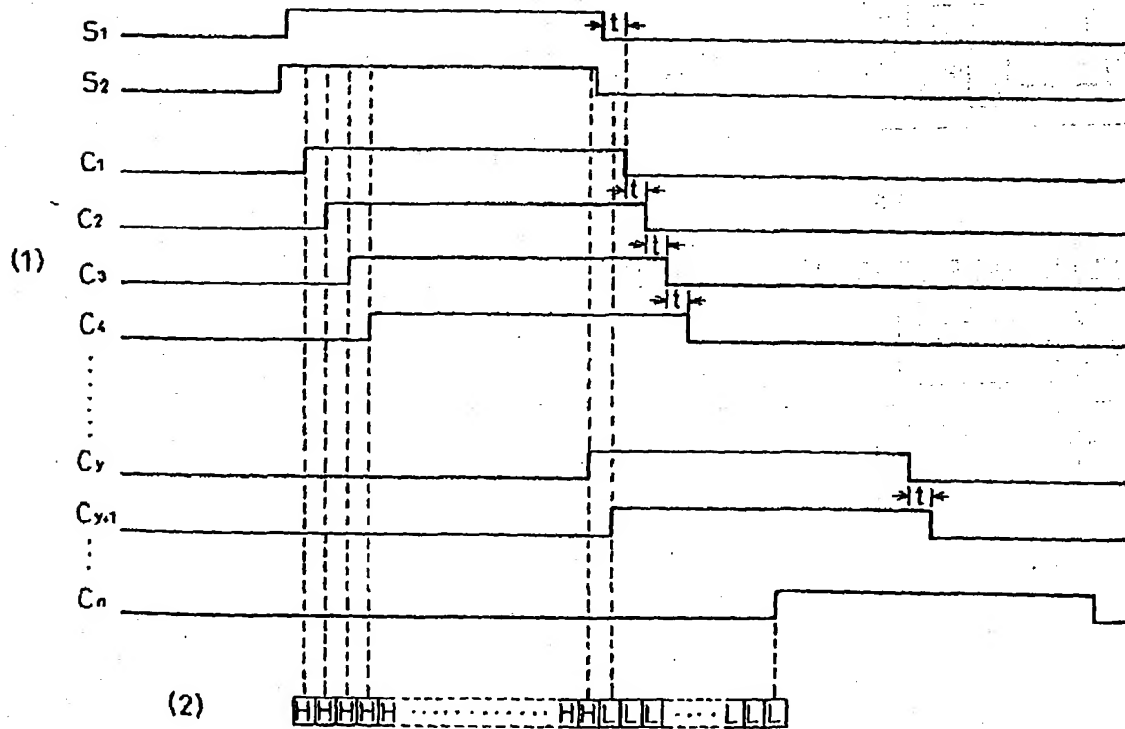
【図 9】



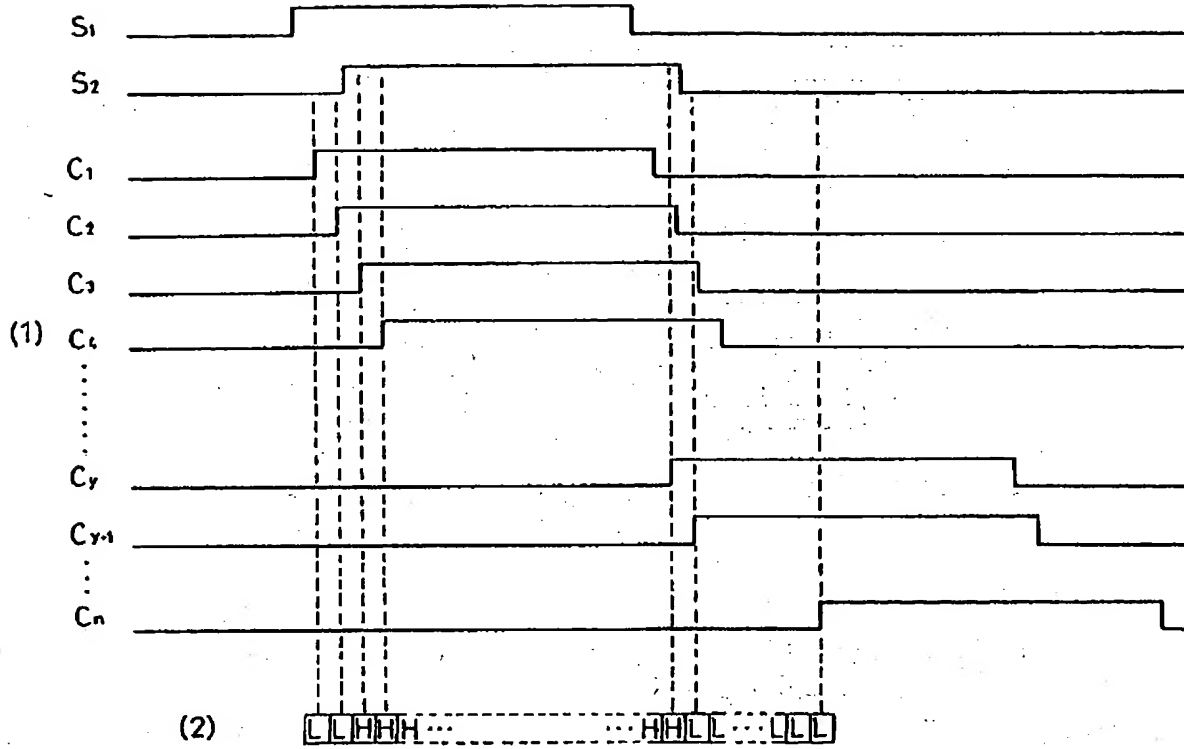
【図4】



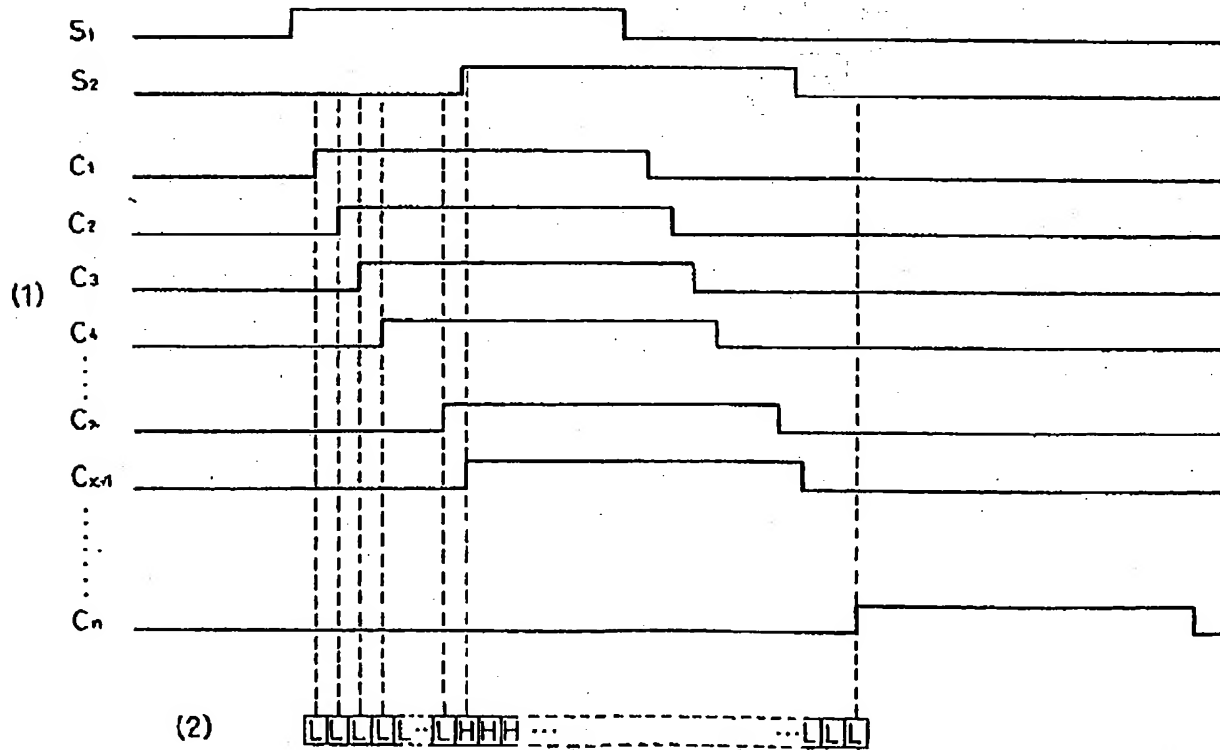
【図5】



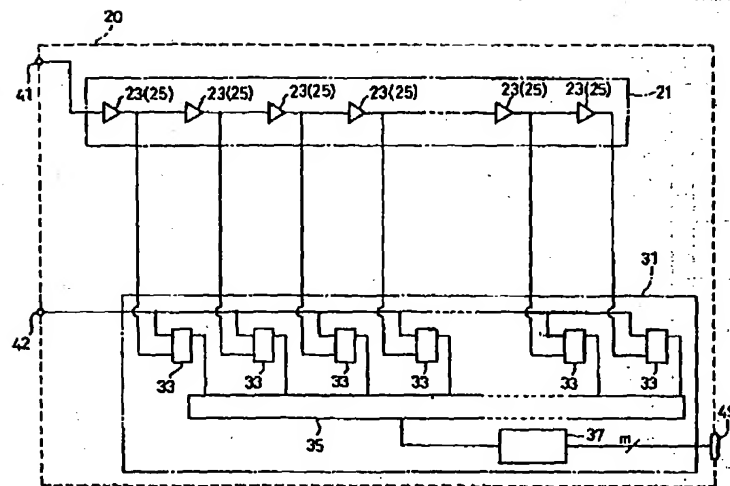
【図6】



【図7】



【図 8】



【図 11】

